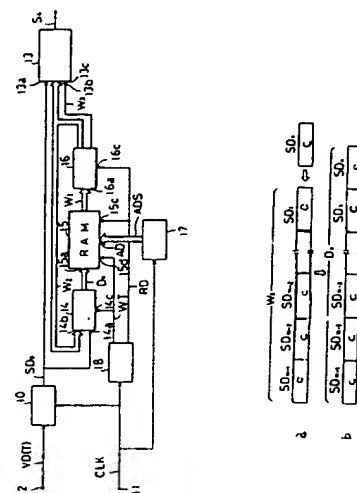


(54) CORRELATOR

(11) 60-207966 (A) (43) 19.10.1985 (19) JP
 (21) Appl. No. 59-64387 (22) 31.3.1984
 (71) ANRITSU DENKI K.K. (72) TAKAO HASHIMOTO
 (51) Int. Cl. G06F15/336, G01S7/30, H03H17/00

PURPOSE: To extract only a correlated bit signal by forming a coincidence discriminating means for generating a correlation detecting signal when sample data in each period coincide with sample data corresponding to the newest period.

CONSTITUTION: A sampler 10 samples and holds a video signal VD at the rise of a clock signal. Receiving a writing signal WT, a writing circuit 14 adds data W_2 of $m-1$ bits to sampling data SD_0 as shown in (a), finds out data D_0 as shown in (b) and supplies the data D_0 to a RAM 15. A coincidence discriminating circuit 13 discriminates whether the sampling data SD_0 , sampling data $SD_1 \sim SD_{m-1}$ in data W_2 and sampling data SD_m in data W_3 coincide with each other or not. When all the data are bit "1", the circuit 13 outputs and supplies a correlation detecting signal S_4 to a post processing circuit.



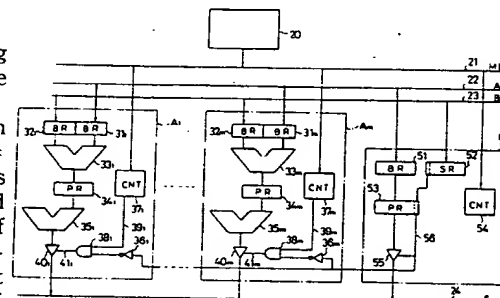
16: reading circuit, 17: address changing circuit, 18: control circuit, c: "1" or "0"

(54) VECTOR ARITHMETIC PROCESSOR

(11) 60-207967 (A) (43) 19.10.1985 (19) JP
 (21) Appl. No. 59-63563 (22) 31.3.1984
 (71) TOSHIBA K.K. (72) KUNIIHIKO SAKATA
 (51) Int. Cl. G06F15/347

PURPOSE: To process an arithmetic pipe line even at the execution of masking vector arithmetic and to speed up the masking vector arithmetic by adding the small number of hardware.

CONSTITUTION: A shift register 52 shifts an initialized mask bit string in each bit synchronously with the pipe line processing of an arithmetic part A_i ($i = 1 \sim m$). Factors successively outputted from a buffer register 51 and mask bits successively outputted from a prescribed position of a register 52 are outputted successively through respective pipe line registers PRs having the constitution of continuous $n-1$ stages synchronously with the pipe line processing of the operation part A_i . A selection/output means selects and outputs an element in output data from the final register PR or the operated result of the operation part A_i as one element of the operated result of the masking vector operation in accordance with a mask bit in output data from the final register PR.



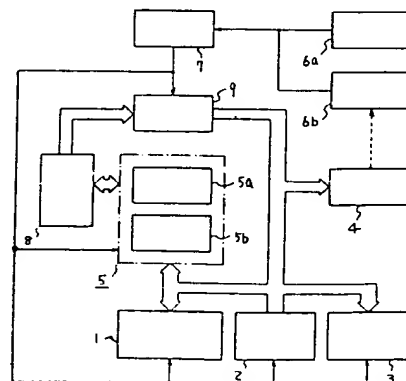
20: microprogram control part, 33, ~ 33m, 35, ~ 35m: arithmetic part

(54) PICTURE EDITING DEVICE

(11) 60-207969 (A) (43) 19.10.1985 (19) JP
 (21) Appl. No. 59-63503 (22) 31.3.1984
 (71) TOSHIBA K.K. (72) SHIROU TAKAGI
 (51) Int. Cl. G06F15/62, G06F15/20

PURPOSE: To obtain a highly practicable picture editing device by patching and editing partial pictures on a display screen to be a board in accordance with information inputted on the basis of a designation and synthesizing the pictures.

CONSTITUTION: A picture display part 4 reads out a picture to be processed out of plural pictures inputted and stored in a picture storage part 1 under control by a control part 7 and displays the read picture. When an operator specifies an area including necessary information in the pictures through a keyboard input device 6a, the area information is applied to a cutting processing part 5a. Picture data cut out by the processing part 5a are outputted and stored to/in a partial picture storage device 8. Plural partial pictures stored in the storage part 8 are contracted into prescribed size through a contracting conversion part 9 and simultaneously displayed as partial pictures on a display area of a display part 4.



2: picture input part, 3: picture output part, 5b: synthesizing processing part

Best Available Copy

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-207967

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)10月19日

G 06 F 15/347

7056-5B

審査請求 未請求 発明の数 1 (全 6 頁)

⑮ 発明の名称 ベクトル演算処理装置

⑯ 特 願 昭59-63563

⑰ 出 願 昭59(1984)3月31日

⑱ 発 明 者 坂 田 邦 彦 東京都府中市東芝町1番地 東京芝浦電気株式会社府中工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外 2 名

明 細 書

1. 発明の名称

ベクトル演算処理装置

2. 特許請求の範囲

第1のアレイ・オペランド・データと第2のアレイ・オペランド・データ間の対応する要素毎の演算を、 n 段のパイプライン処理により行なう演算部を備えたマイクロプログラム制御方式のベクトル演算処理装置において、マスクビット列が初期設定され、当該マスクビット列を上記演算部のパイプライン処理に同期して1ビットずつ順次シフトするシフトレジスタと、上記第1のアレイ・オペランド・データの各要素を上記演算部のパイプライン処理に同期して1要素ずつ順次保持し、その都度その保持要素を次段に出力するバッファレジスタと、このバッファレジスタおよび上記シフトレジスタに $n-1$ 段接続され、上記バッファレジスタからの上記要素および上記シフトレジスタの所定位相からのマスクビットを、上記演算部のパイプ

ライン処理に同期して順次保持転送するパイプラインレジスタ群と、このパイプラインレジスタ群の最終段からの出力データ中の上記要素、または上記演算部の演算結果のいずれか一方を、マスク付ベクトル演算の演算結果の1要素として、上記パイプラインレジスタ群の最終段からの出力データ中の上記マスクビットに応じて選択出力する手段とを具備することを特徴とするベクトル演算処理装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、マスク付ベクトル演算機能を有するベクトル演算処理装置に関する。

〔発明の技術的背景とその問題点〕

大量のアレイ・オペランド・データを処理するベクトル演算の一つとして、マスク付ベクトル演算が知られている。このマスク付ベクトル演算は、オペランド・データに対して或るビット列(マスクビット列)のビット(マスクビット)をそれぞれ割当て、このビットに応じ、演

算を執行するか、或いはオペランド・データをそのまま出力するかを制御する演算である。

第1図は、マスク付ベクトル演算の一般的なフローチャートを示す。マスク付ベクトル演算では、まずビット列の中からオペランド・データに対応するビットが読出される。そして、このビットを分岐条件にして分岐し、演算を執行するか、或いは演算を執行せずにオペランド・データを出力し、次のデータの処理に移る。

ところで、ベクトル演算処理装置は、アレイオペランド・データを高速に処理するために、一般にパイプライン処理機能を有している。この種ベクトル演算処理装置の演算単位ごとの基本構成を第2図に示す。同図において、11は第1演算部、12はパイプラインレジスタ(PR)、13は第2演算部である。第2図のベクトル演算処理装置では、パイプラインレジスタ12により、演算を上下2段に分割し、それぞれを(即ち第1演算部11、および第2演算部13での各処理を)並列に動作可能とするこ

とにより、演算パイプライン処理が行なわれる構成となっている。

しかし、第2図のベクトル演算処理装置を用いて、第1図のフローチャートで示されるマスク付ベクトル演算を執行する場合、マスクビットの判断動作や、演算を執行せずにオペランドデータをそのまま出力する動作によって演算パイプラインが乱される問題があった。このため、従来のベクトル演算処理装置では、マスク付ベクトル演算の場合に演算パイプライン処理が適用できない欠点があった。

〔発明の目的〕

この発明は上記事情に鑑みてなされたものでその目的は、マスク付ベクトル演算実行においても演算パイプライン処理が適用できるベクトル演算処理装置を提供することにある。

〔発明の概要〕

この発明によれば、第1のアレイ・オペランド・データと第2のアレイ・オペランド・データ間の対応する要素毎の演算を、 m 段のパイ

ライン処理により実行する演算部を備えたマイクロプログラム制御方式のベクトル演算処理装置が提供されている。

上記ベクトル演算処理装置では、マスク付ベクトル演算に際し、マスクビット列がシフトレジスタに初期設定される。また、マスク付ベクトル演算が開始されると、第1のアレイ・オペランド・データの各要素が、上記演算部のパイプライン処理に同期して1要素ずつバッファレジスタに順次保持され、その都度その保持要素は次段に出力される。更に、シフトレジスタは初期設定されたマスクビット列を上記演算部のパイプライン処理に同期して1ビットずつシフトする。バッファレジスタから順に出力される上記要素、およびシフトレジスタの所定位置から順に出力されるマスクビットは、上記演算部のパイプライン処理に同期して、縦続ロー1段構成の各パイプラインレジスタを順に介して出力される。選択出力手段は、最終段のパイプラインレジスタからの出力データ中の要素、また

は演算部の演算結果のいずれか一方を、マスク付ベクトル演算の演算結果の1要素として、最終段のパイプラインレジスタからの出力データ中のマスクビットに応じて選択出力する。

〔発明の実施例〕

第3図はこの発明の一実施例に係るベクトル演算処理装置の構成を示す。同図において、20はマイクロプログラム制御部、21はマイクロ制御部20からのマイクロ命令の伝送路であるマイクロ命令バス(以下、M1バスと称す)である。22は第1オペランドの伝送路であるデータバス(Aバスと称す)、23は第2オペランドの伝送路であるデータバス(Bバスと称す)、24は演算結果の伝送路であるデータバス(Sバスと称す)である。A₁~A_mは2段の演算パイプライン処理機能を有する演算部、Mはマスク付ベクトル制御部である。演算部A₁~A_mは、固有の演算機能(例えば加算、乗算など)を有している。演算部A_i($i=1\sim m$)において、311はAバス22経由で導かれる第1オペランドを

保持するバッファレジスタ(BR)、321はBバス23經由で導かれる第2オペランドを保持するバッファレジスタ(BR)である。331は第1演算部(初段演算部)、341はパイプラインレジスタ(PR)、351は第2演算部(最終段演算部)である。361はマスク付ベクトル制御部Mからの後述する出力制御信号56が導かれるインバータ、371はM1バス21經由で導かれる(マイクロプログラム制御部20からの)マイクロ命令に従って演算部A1内の各部を制御する制御回路(CNT)である。381は制御回路371からの出力制御信号391およびインバータ361からの出力信号が導かれるアンドゲート、401は出力ドライバである。出力ドライバ401は、アンドゲート381からの出力信号である出力制御信号411に依り、第2演算部351の演算結果をSバス24に出力する。

マスク付ベクトル制御部Mにおいて、51はAバス22經由で導かれる第1オペランドを保

持するバッファレジスタ(BR)、52はBバス23經由で導かれるマスクビット列が初期設定されるシフトレジスタ(SR)、53はパイプラインレジスタ(PR)である。パイプラインレジスタ53には、バッファレジスタ51からの出力データ(第1オペランド)、およびシフトレジスタ52の所定位置、例えば最上位ビット位置からの出力ビット(マスクビット)が、演算部A1の演算パイプライン処理に同期して保持される。54はM1バス21經由で導かれる(マイクロプログラム制御部20からの)マイクロ命令に従ってマスク付ベクトル制御部M内の上記各部を制御する制御回路(CNT)、55は出力ドライバである。出力ドライバ55は、パイプラインレジスタ53に保持された上記マスクビットで生成される出力制御信号56に依り、パイプラインレジスタ53に保持された上記第1オペランドをSバス24に出力する。

次に、この発明の一実施例の動作を第4図のタイミングチャートを参照して説明する。演算

部A₁~A_mは独立に動作可能であり、マイクロプログラム制御部20からM1バス21經由で転送されるマイクロ命令によって制御される。演算部A₁~A_mは、それぞれに割当てられているマイクロ命令によって起動される。ここで、例えば演算部A₁によって処理される演算のマスク付ベクトル演算の動作を説明する。マスク付ベクトル演算においては、まずマスクビット列(M₀, M₁, ..., M_n)を、Bバス23からマスク付ベクトル制御部M内のシフトレジスタ(SR)52に取込む処理が行なわれる。次に、第4図のタイミングチャートに示される演算が行なわれる。第4図において、Kは第1演算部331の動作、Lは第2演算部351の動作を示す。またSは(マスク付ベクトル制御部Mにおいて)バッファレジスタ(BR)51からの出力データおよびシフトレジスタ(SR)52の最上位ビット位置からの出力ビットをパイプラインレジスタ(PR)53に取込むまでのタイミング、Tはパイプラインレジスタ53からSバス24へ結果を出力

するまでのタイミングを示す。

今、或るマイクロ命令によって演算部A₁にマスク付ベクトル演算の起動がかけられたものとする。このとき、同じマイクロ命令によって、マスク付ベクトル制御部Mにも起動がかけられる。演算部A₁では、制御回路371の制御により、第1のアレイ・オペランド・データ(X₀, X₁, ..., X_n)の先頭要素である第1オペランドX₀がAバス22からバッファレジスタ311に取込まれると共に、第2のアレイ・オペランド・データ(Y₀, Y₁, ..., Y_n)の先頭要素である第2オペランドY₀がBバス23からバッファレジスタ321に取込まれる。そして、バッファレジスタ311, 321に取込まれたX₀, Y₀間の演算が第1演算部331で開始される。これが前記した動作K(第4図参照)である。一方、マスク付ベクトル制御部Mでは、上記第1オペランドX₀がAバス22からバッファレジスタ51に取込まれ、前記した動作S(第4図参照)が開始される。

次のサイクルにおいて、演算部 A₁ では、第 1 演算部 33₁ からの X₀, Y₀ に関する演算の中間結果がパイプラインレジスタ 34₁ に取込まれる。そして、パイプラインレジスタ 34₁ に取込まれた中間結果に基づいて X₀, Y₀ の最終演算結果 Z₀ を生成する演算が第 2 演算部 35₁ で行なわれる。これが前記した動作 L (第 4 図参照) である。また、演算部 A₁ では、この動作 L と並行して、次の演算対象変数であるオペランド X₁, Y₁ をバス 22, 23 からバッファ 31₁, 32₁ に取込み X₁, Y₁ 間の演算を開始する動作 K (第 4 図参照) が行なわれる。一方、マスク付ベクトル制御部 M では、バッファレジスタ 51 から出力される第 1 オペランド (この例では X₀)、およびシフトレジスタ 52 から出力されるマスクビット (この例ではマスクビット列の先頭ビット M₀) をパイプラインレジスタ 53 に取込む動作 T (第 4 図参照) が行なわれる。また、マスク付ベクトル制御部 M では、この動作 T と並行して、次のオペランド (第 1 オペランド) X₁ を A バ

ス 22 からバッファ 51 に取込むと共に、シフトレジスタ 52 を左 1 ビットシフトする動作 S (第 4 図参照) が行なわれる。これにより、シフトレジスタ 52 の最上位ビット位置からは、マスクビット M₁ が出力される。なお、第 4 図において^記番号 Δ は、シフトレジスタ 52 のシフトタイミングを示す。

このように、この実施例では、演算部 A₁ は第 1 オペランドと第 2 オペランドとの間の所定の演算を、マスク付ベクトル演算指定に無関係に (即ち、マスクビットの状態に無関係に)、通常のベクトル演算と同様に 2 段の演算パイプライン処理で実行する。また、マスク付ベクトル制御部 M は、演算部 A₁ でのパイプライン処理に同期して、2 段のパイプライン処理で第 1 オペランドを順に取込み出力する。

マスク付ベクトル制御部 M では、前記動作 T において、パイプラインレジスタ 53 に取込まれているマスクビット (この例では M₀) が、当該マスク付ベクトル制御部 M、および演算部 A₁

(演算部 A₁ ~ A_m) からのデータ出力の出力制御信号 56 として用いられる。この信号 56 は、マスク付ベクトル制御部 M 内の出力ドライバ 55 に供給されると共に、演算部 A₁ ~ A_m 内のインバータ 36₁ ~ 36_m にも供給される。インバータ 36₁ ~ 36_m からの出力信号は、演算部 A₁ ~ A_m 内の制御回路 37₁ ~ 37_m からの出力制御信号 39₁ ~ 39_m と共に対応するアンドゲート 38₁ ~ 38_m に供給される。アンドゲート 38₁ ~ 38_m からの出力信号である出力制御信号 41₁ ~ 41_m は対応する出力ドライバ 40₁ ~ 40_m に供給される。演算部 A₁ が起動されたこの例では、制御回路 37₁ ~ 37_m からの出力制御信号 39₁ ~ 39_m のうち、信号 39₁ だけが真 ("1") である。したがって、演算部 A₁ 以外の演算部からの S バス 24 へのデータ出力は、マスク付ベクトル制御部 M からの出力制御信号 56 (即ちマスクビット) に無関係に禁止される。この場合、パイプラインレジスタ 53 からの出力制御信号 56 (この例ではマスクビット M₀) が偽 ("0") であれば、

アンドゲート 38₁ からの出力制御信号 41₁ は真 ("1") となり、出力ドライバ 40₁ は出力イネーブル状態となる。一方、マスク付ベクトル制御部 M 内の出力ドライバ 55 は、出力ディスエーブル (出力ハイ・インピーダンス) 状態となる。この結果、第 2 演算部 35₁ の演算結果、即ち演算部 A₁ の演算結果 (この例では Z₀) が S バス 24 に出力される。これに対し、パイプラインレジスタ 53 からの出力制御信号 56 (マスクビット M₀) が真 ("1") であれば、アンドゲート 38₁ からの出力制御信号 41₁ は偽 ("0") となり、出力ドライバ 40₁ は出力ディスエーブル状態となる。一方、マスク付ベクトル制御部 M 内の出力ドライバ 55 は出力イネーブル状態となる。この結果、パイプラインレジスタ 53 からの出力データ中の第 1 オペランド (この例では X₀) が S バス 24 に出力される。以下、同様の動作が第 4 図のタイミングチャートに示すように繰返される。

なお、上記の例では、マスク付ベクトル制御

部Mが、演算部A₁のマスク付ベクトル演算を起動するマイクロ命令によって起動された場合であるが、マスク付ベクトル制御部Mは、演算部A_i (i=1~m)を起動するマイクロ命令によって起動される。したがって、マスク付ベクトル制御部Mはmの値(演算部の数)に無関係に1つでよい。ところで、マスク付ベクトル制御部M内のパイプラインレジスタ53は、当該マスク付ベクトル制御部Mが起動されていない場合には、クリアされていることが好ましい。これは、パイプラインレジスタ53をクリアすることにより、出力制御信号56が偽("0")となり、制御部Mからの出力を禁止できるためである。また、演算部A₁~A_mからの出力を、制御回路37₁~37_mからの出力制御信号39₁~39_mによって制御することができるためである。

なお、前記実施例では、2段の演算パイプライン処理を適用するベクトル演算処理装置について説明したが、この発明は3段以上のパイプライン処理を適用するベクトル演算処理装置に

も応用できる。この場合、演算パイプラインの段数をnとすると、マスク付ベクトル制御部において第1オペランドおよびマスクビットを保持し、その保持データを次段(次のパイプラインステージ)に転送するパイプラインレジスタの必要段数はn-1段となる。

〔発明の効果〕

以上詳述したようにこの発明によれば、少量のハードウェアを付加するだけでマスク付ベクトル演算実行においても演算パイプライン処理が適用でき、マスク付ベクトル演算の高速化が図れる。

4. 図面の簡単な説明

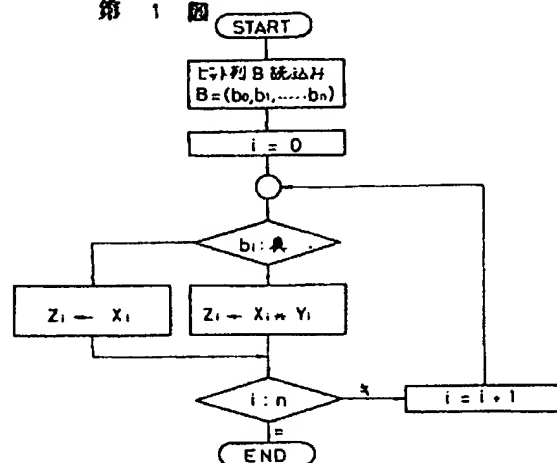
第1図は一般的なマスク付ベクトル演算を説明するフローチャート、第2図は一般的なベクトル演算処理装置の基本構成図、第3図はこの発明の一実施例に係るベクトル演算処理装置の構成図、第4図は動作を説明するためのタイミングチャートである。

A₁~A_m…演算部、M…マスク付ベクトル制御

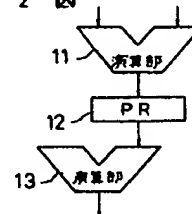
部、20…マイクロプログラム制御部、31₁~31_m、32₁~32_m、51…バッファレジスタ(BR)、34₁~34_m、53…パイプラインレジスタ(PR)、37₁~37_m、54…制御回路(CNT)、40₁~40_m、55…出力ドライバ、52…シフトレジスタ(SR)。

出願人代理人 弁理士 鈴 江 武 彦

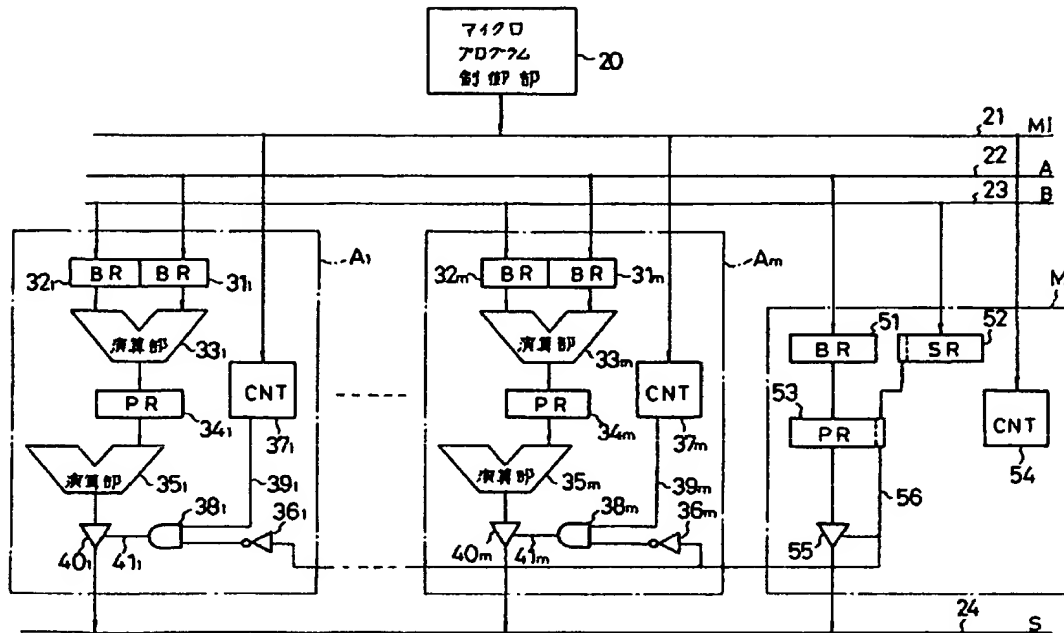
第 1 図



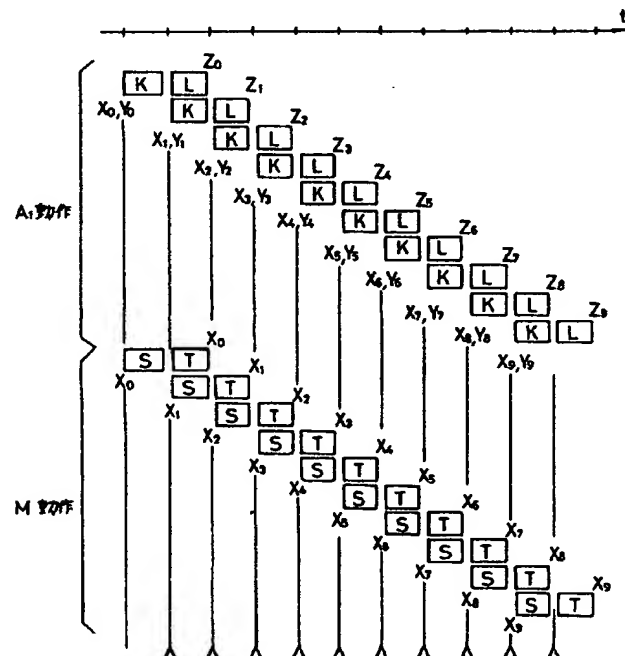
第 2 図



第 3 図



第 4 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.